

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-080456

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

G02F 1/1345

(21)Application number : 07-232290

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.09.1995

(72)Inventor : NATORI MASATAKA

ITO HIKARI

SASUGA MASUMI

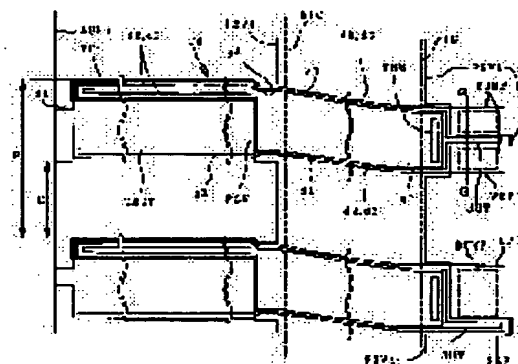
UEDA SHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To downsize an input terminal part and to make the part low resistances by providing the input terminal part in which wirings of low resistance metallic layers are formed by being partially protruded so as to be electrically connected to the pattern part of transparent conductive films being connection parts with bumps of a driving IC.

SOLUTION: In the part of an input wiring Td to be connected to the output terminal of a flexible substrate, a second conductive film d2 and a third conductive film d3 are formed on the one side of the input wiring Td. Moreover, a protective film PSV1 is also formed along the second and the third conductive films d2, d3 on the one side of the input wiring Td a little larger than them. That is, in the input wiring Td, a transparent conductive film d1 is exposed with a wide arear as a part other than the protective film PSV1 exposed to the surface of the wiring and this exposed transparent conductive film d1 is made to be an inspecting terminal (a pad) and also the film d1 and the output terminal of the flexible substrate is directly connected.



LEGAL STATUS

[Date of request for examination]

12.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3344181

[Date of registration]

30.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】駆動用ICのバンクとの接続部分である透明導電膜のパターン部分に電気的に接続するように、低抵抗金属層の配線が部分的に突出して形成されている入力端子部を有することを特徴とするフリップチップ方式の液晶表示素子からなる液晶表示装置。

【請求項2】同一信号が入力される2個以上に領域分割された駆動用ICのバンクと、該バンクとの接続部分である透明導電膜のパターン部分に電気的に接続するように、前記領域分割されたバンク間の間隙に、低抵抗金属層の配線が突出して形成されている入力端子部とを有することを特徴とするフリップチップ方式の液晶表示素子からなる液晶表示装置。

【請求項3】電源電圧及び階調基準電圧が入力される2個以上に領域分割された駆動用ICのバンクと、該バンクとの接続部分である透明導電膜のパターン部分に電気的に接続するように、前記領域分割されたバンクの間隙に、低抵抗金属層の配線が突出して形成されている入力端子部とを有することを特徴とするフリップチップ方式の液晶表示素子からなる液晶表示装置。

【請求項4】前記低抵抗金属層の配線は、ゲート配線を形成する金属層と、ソース及びドレイン配線を形成する金属層との2層からなり、透明導電膜の下層のゲート配線を形成する金属層は、バンクとの接続部分より大きい面積で形成され、透明導電膜の上層のソース及びドレイン配線を形成する金属層は、前記バンクとの接続部分である透明導電膜のパターン部分に電気的に接続するように、部分的に突出して形成されている入力端子部を有する請求項1に記載のフリップチップ方式の液晶表示素子からなる液晶表示装置。

【請求項5】前記低抵抗金属層の配線は、ソース及びドレイン配線を形成する、アルミニウムあるいはクロムを主体とする金属層にて同時形成されたことを特徴とする請求項1ないし請求項4に記載のフリップチップ方式の液晶表示素子からなる液晶表示装置。

【請求項6】前記低抵抗金属層の配線は、ソース及びドレイン配線を形成する、アルミニウムあるいはクロムを主体とする金属層にて同時形成され、更に前記低抵抗金属層の配線上には保護膜を被覆したことを特徴とする請求項1ないし請求項4に記載のフリップチップ方式の液晶表示素子からなる液晶表示装置。

【請求項7】前記低抵抗金属層の配線は、ゲート配線を形成する、アルミニウム、クロム、あるいはタンタルを主体とする金属層にて同時形成され、前記透明導電膜の下層に形成されたことを特徴とする請求項1ないし請求項4に記載のフリップチップ方式の液晶表示素子からなる液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶層を介して重ね合

わせた2枚の透明絶縁基板の一方の基板上に、駆動用ICを直接搭載したフリップチップ方式の液晶表示素子を有する液晶表示装置に関する。

【0002】

【従来の技術】例えばアクティブ・マトリクス方式の液晶表示装置の液晶表示素子（すなわち、液晶表示パネル）では、液晶層を介して互に対向配置されるガラス等からなる2枚の透明絶縁基板のうち、その一方のガラス基板の液晶層側の面に、そのx方向に延在し、y方向に並設されるゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されるドレイン線群とが形成されている。

【0003】これらのゲート線群とドレイン線群とで囲まれた各領域がそれぞれ画素領域となり、この画素領域にスイッチング素子として例えば薄膜トランジスタ（TFT）と透明画素電極とが形成されている。

【0004】ゲート線に走査信号が供給されることにより、薄膜トランジスタがオンされ、このオンされた薄膜トランジスタを介してドレイン線からの映像信号が画素電極に供給される。

【0005】なお、ドレイン線群の各ドレイン線はもちろんのこと、ゲート線群の各ゲート線においても、それぞれ透明絶縁基板の周辺にまで延在されて外部端子を構成し、この外部端子にそれぞれ接続されて映像駆動回路、ゲート走査駆動回路、すなわち、これらを構成する複数の駆動用IC（半導体集積回路）が該透明絶縁基板の周辺に外付けされるようになっている。つまり、これらの各駆動用ICを搭載したテープキャリアパッケージ（TCP）を基板の周辺に複数の外付けする。

【0006】しかし、このように透明絶縁基板は、その周辺に駆動用ICが搭載されたTCPが外付けされる構成となっているので、これらの回路によって、透明絶縁基板のゲート線群とドレイン線群との交差領域によって構成される表示領域の輪郭と、該透明絶縁基板の外枠の輪郭との間の領域（通常、額縁と称している）の占める面積が大きくなってしまい、液晶表示モジュールの外形寸法を小さくしたいという要望に反する。

【0007】それゆえ、このような問題を少しでも解消するために、すなわち、液晶表示素子の高密度化と液晶表示モジュールの外形をできる限り縮小したいとの要求から、TCP部品を使用せず、映像駆動用ICおよびゲート走査駆動用ICを透明絶縁基板上に直接搭載する構成が提案された。このような実装方式をフリップチップ方式、あるいはチップ・オン・ガラス（COG）方式という。

【0008】本発明は、このフリップチップ方式の実装方法に適用できるものである。

【0009】ところで、従来のフリップチップ方式の接続構造では、駆動用ICの下面には、バンク（突起電極）BUMPが形成されており、透明絶縁基板上の入力

端子IP及び出力端子OPに、例えば、異方性導電膜ACF2を介して電氣的に接続される。つまり、異方性導電膜ACF内の導電性粒子が、バンプBUMPと端子パターンIP、OPとの間で押しつぶされた状態、または、バンプBUMPになかばめり込む状態となり、電氣的に接続が可能となる。また、異方性導電膜のかわりに、光あるいは紫外線により硬化する樹脂を使用し、直接バンプBUMPと端子パターンを電気接続する方法もある。

【0010】さらに、入力端子IPにつながる入力配線パターンTdに、外部からの信号を供給するために、例えば、周辺回路基板としてフレキシブル基板(FPC)を使用し、FPC上の配線パターン(通常は銅パターン上に金メッキされている)と入力配線パターンTdとを異方性導電膜ACF1を用いて、電氣的に接続する。

【0011】

【発明が解決しようとする課題】前記周辺回路基板と透明基板上に搭載される駆動用ICとの間の入力配線部Tdの配線抵抗を低減することは、この部分での入力信号及び入力電源電圧の電圧降下を防止し、液晶表示装置において、良好な表示品質を得る上で重要な課題である。

【0012】なお、このような問題に対する解決手段が記載された文献としては、特開平7-92479号公報が挙げられる。

【0013】また、従来公知の技術ではないが、同一出願人であるが、先願(特願平7-115583号)がある。

【0014】特開平7-92479号公報では、一方の基板上に、複数の走査信号用駆動ICが一行に並んで搭載され、前記基板上の配線層から形成された、列方向に延在する共通配線を介して、フレキシブル基板FPCにより、外部から入力信号や電源が供給される。この時、前記走査信号用ドライバーICの配列ピッチをその走査信号用駆動ICの担当する表示エリアの幅より小さくし、また、走査信号用駆動ICを共通配線の入力部に近づけ、共通配線部を可能なかぎり縮小する構成としている。

【0015】しかし、この構成では、基板上に、基板の端とほぼ平行に形成された細長い共通配線が存在するため、フレキシブル基板と駆動ICとの間、及び駆動IC間の配線抵抗差を数十オーム以下にすることが構成上難しくなる。特に、多階調表示用の液晶表示装置では、階調表示用の階調基準電圧を各々のドレイン線駆動用ICに外部から正確に供給する必要があるため、前記入力配線部分での、電圧降下は、最小限にする必要がある。

【0016】また、先願(特願平7-115583号)では、共通配線部分はフレキシブル基板の低抵抗配線にて形成することとし、入力配線Td部分を透明導電膜、及び低抵抗金属膜による構成とすることにより、優れた低抵抗配線が実現できている。ただし、入力配線Tdの

先端部である入力端子IPの構成については、詳しい記述がなく、低抵抗化の対策が不十分であった。

【0017】このため、本発明の目的は、この入力配線Td部の先端部である入力端子部IPの構成において、必要な程度に配線抵抗を低減し、接続信頼性の高い入力端子構造を提供するものである。

【0018】

【課題を解決するための手段】上記課題を解決するために、本発明の液晶表示装置は、駆動用ICのバンプとの接続部分である透明導電膜のパターン部分に電氣的に接続するように、低抵抗金属層の配線が部分的に突出して形成されている入力端子部を有することを特徴とするフリップチップ方式の液晶表示素子からなる液晶表示装置である。

【0019】また、本発明の液晶表示装置は、同一信号が入力される2個以上に領域分割された駆動用ICのバンプと、該バンプとの接続部分である透明導電膜のパターン部分に電氣的に接続するように、前記領域分割されたバンプ間の間隙に、低抵抗金属層の配線が突出して形成されている入力端子部とを有することを特徴とするフリップチップ方式の液晶表示素子からなる液晶表示装置である。

【0020】また、本発明の液晶表示装置は、電源電圧及び階調基準電圧が入力される2個以上に領域分割された駆動用ICのバンプと、該バンプとの接続部分である透明導電膜のパターン部分に電氣的に接続するように、前記領域分割されたバンプの間隙に、低抵抗金属層の配線が突出して形成されている入力端子部とを有することを特徴とするフリップチップ方式の液晶表示素子からなる液晶表示装置である。

【0021】更に、前記低抵抗金属層の配線は、ゲート配線を形成する金属層と、ソース及びドレイン配線を形成する金属層との2層からなり、透明導電膜の下層のゲート配線を形成する金属層は、バンプとの接続部分より大きい面積で形成され、透明導電膜の上層のソース及びドレイン配線を形成する金属層は、前記バンプとの接続部分である透明導電膜のパターン部分に電氣的に接続するように、部分的に突出して形成されている入力端子部を有するフリップチップ方式の液晶表示素子からなる液晶表示装置である。

【0022】更に、前記低抵抗金属層の配線は、ソース及びドレイン配線を形成する、アルミニウムあるいはクロムを主体とする金属層にて同時形成されたことを特徴とするフリップチップ方式の液晶表示素子からなる液晶表示装置である。

【0023】更に、前記低抵抗金属層の配線は、ソース及びドレイン配線を形成する、アルミニウムあるいはクロムを主体とする金属層にて同時形成され、更に前記低抵抗金属層の配線には保護膜を被覆したことを特徴とするフリップチップ方式の液晶表示素子からなる液晶表

示装置。

【0024】更に、前記低抵抗金属層の配線は、ゲート配線を形成する、アルミニウム、クロム、あるいはタンタルを主体とする金属層にて同時形成され、前記透明導電膜の下層に形成されたことを特徴とするフリップチップ方式の液晶表示素子からなる液晶表示装置。

【0025】

【作用】本発明では、駆動用ICのバンプとの接続部分である透明導電膜のパターン部分に電気的に接続するように、低抵抗金属層の配線が部分的に突出して形成されている入力端子部を有することにより、入力端子部の縮小化と低抵抗化を実現できる。

【0026】また、同一信号が入力される2個以上に領域分割された駆動用ICのバンプと、該バンプとの接続部分である透明導電膜のパターン部分に電気的に接続するように、前記領域分割されたバンプ間の間隙に、低抵抗金属層の配線が突出して形成されている入力端子部とを有することにより、入力端子部の縮小化と、更に低抵抗化が可能になる。

【0027】また、電源電圧及び階調基準電圧が入力される2個以上に領域分割された駆動用ICのバンプと、該バンプとの接続部分である透明導電膜のパターン部分に電気的に接続するように、前記領域分割されたバンプの間隙に、低抵抗金属層の配線が突出して形成されている入力端子部とを有することにより、多階調表示液晶表示装置の表示品質を低下させることなく、入力端子部の縮小化と十分な低抵抗化を実現できる。

【0028】更に、前記低抵抗金属層の配線は、ゲート配線を形成する金属層と、ソース及びドレイン配線を形成する金属層との2層からなり、透明導電膜の下層のゲート配線を形成する金属層は、バンプとの接続部分より大きい面積で形成され、透明導電膜の上層のソース及びドレイン配線を形成する金属層は、前記バンプとの接続部分である透明導電膜のパターン部分に電気的に接続するように、部分的に突出して形成されている入力端子部を有することにより、入力端子部の縮小化と、更に低抵抗化が可能になる。

【0029】更に、前記低抵抗金属層の配線は、ソース及びドレイン配線を形成する、アルミニウムあるいはクロムを主体とする金属層にて同時形成されたことにより、入力端子部の縮小化と低抵抗化と製造工程の簡略化を実現できる。

【0030】更に、前記低抵抗金属層の配線は、ソース及びドレイン配線を形成する、アルミニウムあるいはクロムを主体とする金属層にて同時形成され、更に前記低抵抗金属層の配線上には保護膜を被覆したことにより、入力端子部の縮小化と低抵抗化と信頼性の向上と製造工程の簡略化を実現できる。

【0031】更に、前記低抵抗金属層の配線は、ゲート配線を形成する、アルミニウム、クロム、あるいはタン

タルを主体とする金属層にて同時形成され、前記透明導電膜の下層に形成されたことにより、入力端子部の縮小化と低抵抗化と信頼性の向上と製造工程の簡略化を実現できる。

【0032】

【実施例】以下、本発明につき実施例によって具体的に説明する。

【0033】《駆動用ICチップ搭載部近傍の平面および断面構成》図6は、例えばガラスからなる透明絶縁基板SUB1上に駆動用ICを搭載した様子を示す平面図である。さらに、A-A切断線における断面図を図17に示す。図6において、一方の透明絶縁基板SUB2は、一点鎖線で示すが、透明絶縁基板SUB1の上方に重なって位置し、シールパターンSL（図6参照）により、有効表示部（有効画面エリア）ARを含んで液晶LCを封入している。透明絶縁基板SUB1上の電極COMは、導電ペースや銀ペース等を介して、透明絶縁基板SUB2側の共通電極パターンに電気的に接続させる配線である。配線DTM（あるいはGTM）は、駆動用ICからの出力信号を有効表示部AR内の配線に供給するものである。入力配線Tdは、駆動用ICへ入力信号を供給するものである。異方性導電膜ACFは、一列に並んだ複数の駆動用IC部分に共通して細長い形状となったものACF2と上記複数の駆動用ICへの入力配線パターン部分に共通して細長い形状となったものACF1を別々に貼り付ける。パッシベーション膜（保護膜）PSV1、PSVは、図17にも示すが、電食防止のため、できる限り配線部を被覆し、露出部分は、異方性導電膜ACF1にて覆うようにする。

【0034】さらに、駆動用ICの側面周辺は、シリコーン樹脂または、エポキシ樹脂SIL等が充填され（図17参照）、保護が多重化されている。

【0035】本例では、図6に示すように、液晶表示パネル上において、ゲート側及びドレイン側に搭載される複数の駆動用ICへ入力信号を供給するための入力配線部分は、基板切断面にほぼ垂直な方向の入力配線部分Tdのみを形成する。また、複数の駆動用IC間に電源電圧やクロックを供給するための共通配線部分は、フレキシブル基板の多層導体層部分FMLに形成し、基板切断面にほぼ平行な方向に共通配線が存在する。したがって、液晶表示パネル上に占める入力配線部分が最小となり、液晶表示モジュールの最外形を小さくでき、しかも、共通配線部分の配線抵抗値を駆動上問題無いように低減することができる。

【0036】《液晶表示素子とその外周部に配置された回路》図21は、薄膜トランジスタTFTをスイッチング素子として用いたアクティブ・マトリクス方式TFT液晶表示モジュールのTFT液晶表示素子とその外周部に配置された回路を示すブロック図である。本例では、それぞれ液晶表示素子の片側のみに配置されたドレイン

10

20

30

40

50

ドライバIC1～ICMおよびゲートドライバIC1～ICNは、図17に示したように、液晶表示素子の一方の透明絶縁基板SUB1上に形成されたドレイン側引き出し線DTMおよびゲート側引き出し線GTMと異方性導電膜ACF2あるいはシリコン樹脂または、エポキシ樹脂SIL等でチップ・オン・ガラス実装(COG実装)されている。本例では、SVGA仕様である800×3×600の有効ドットを有する液晶表示素子に適用している。このため、液晶表示素子の透明絶縁基板には、240出力のドレインドライバICを長辺に10個(M=10)と、101出力のゲートドライバICを短辺に6個(N=6)とをCOG実装している。画素数からは、ゲートドライバの出力は、合計600出力あれば足りるが、後述するように、有効画素部の上下に追加ゲート線を形成するため、最上部101出力、中央部100出力×4、及び最下部101出力の構成をとっている。なお、同一のゲートドライバICにて、100、101出力の使い分けができる。

【0037】液晶表示素子の上側にはドレインドライバ部103が配置され、また、側面部には、ゲートドライバ部104、他方の側面部には、コントローラ部101、電源部102が配置されている。コントローラ部101および電源部102、ドレインドライバ部103、ゲートドライバ部104は、それぞれ電気的接続手段JN1、3により相互接続されている。

【0038】本例では、SVGAパネルとして800×3×600ドットの10.4インチ画面サイズのTFT液晶表示モジュールを設計した。このため、赤(R)、緑(G)、青(B)の各ドットの大きさは、264μm(ゲート線ピッチ)×88μm(ドレイン線ピッチ)となっており、1画素は、赤色(R)、緑色(G)、青色(B)の3ドットの組合せで、264μm角となっている。このため、ドレイン線引き出し配線DTMを800×3本とすると、引き出し線ピッチは、80μm以下となってしまう、現在使用可能なテープキャリアパッケージ(TCP)実装の接続ピッチ限界以下となる。COG実装では、使用する異方性導電膜等の材料にも依存するが、おおよそ駆動用ICチップのバンプBUMPのピッチで約70μmおよび下地配線との交叉面積で約40μm角が現在使用可能な最小値といえる。このため、本例では、液晶パネルの1個の長辺側にドレインドライバICを一列に片側配置し、ドレイン線を該長辺側に引き出して、ドレイン線引き出し配線DTMのピッチを88μmとした。したがって、駆動用ICチップのバンプBUMP(図17参照)ピッチを約70μmおよび下地配線との交叉面積を約40μm角に設計でき、下地配線と、より高い信頼性で接続するのが可能となった。ゲート線ピッチは264μmと十分大きいので、片側の短辺側にてゲート線引き出しGTMを引き出している。但し、さらに高精細になると、ドレイン線側と同様に、対

向する2個の短辺側にゲート線引き出し線GTMを交互に引き出すことも可能である。しかし、ドレイン線あるいはゲート線を交互に引き出す方式では、引き出し配線DTMあるいはGTMと駆動用ICの出力側BUMPとの接続は容易になるが、周辺回路基板を液晶パネルPNLの対向する2辺の外周部に配置する必要が生じ、このため、外形寸法が片側引き出しの場合よりも大きくなるという問題がある。

【0039】また、表示色数が増えると表示データのデータ線数が増加し、情報処理装置の最外形が大きくなる。このため、本例では、多層フレキシブル基板を使用することで、従来の問題を解決した。

【0040】本例で採用した駆動用ICは、図6におおよそその外観を示すが、モジュール外形をできる限り小さくするため、非常に細長い形状であり、例えば、ゲート側の駆動用ICでは、長辺寸法は、約11～17mm、短辺寸法は、約1.0～2.5mm、ドレイン側の駆動用ICでは、長辺寸法は、約11～20mm、短辺寸法は、約1.0～2.0mmである。また、本例では、有効表示部ARと駆動用ICの出力側バンプBUMP部との間のゲート出力配線パターンGTMは、駆動用ICの長辺方向と短辺方向との3方向から延在している。一方、ドレイン出力配線パターンDTMは、駆動用ICの長辺方向の1方向から延在している。

【0041】例えば、本例では、ゲート側の駆動用ICでは、101出力のうち、21本を2短辺側から、残り、約80本を1長辺側から出力配線する。ドレイン側の駆動用ICでは、駆動用ICを細長く設計し、長辺方向のみの出力配線とし、240出力を1長辺側から出力配線している。

【0042】図23に、コモン電極に印加されるコモン電圧、ドレインに印加されるドレイン電圧、ゲート電極に印加されるゲート電圧のレベル、および、その波形を示す。なお、ドレイン波形は黒を表示しているときのドレイン波形を示す。

【0043】例えば、ゲートオンレベル波形(直流)とゲートオフレベル波形は、-9～-14ボルトの間でレベル変化し、10ボルトでゲートオンする。ドレイン波形(黒表示時)とコモン電圧Vcom波形は、0～3ボルトの間でレベル変化する。例えば、黒レベルのドレイン波形を1水平期間(1H)毎に変化させるため、論理処理回路で1ビットずつ論理反転を行ない、ドレインドライバに入力している。ゲートのオフレベル波形は、Vcom波形と略同一振幅、同位相で動作する。

【0044】図22は、本例のTFT液晶表示モジュールにおける、ゲートドライバ104、ドレインドライバ103に対する表示用データとクロック信号の流れを示す図である。

【0045】表示制御装置101は、本体コンピュータからの制御信号(クロック、表示タイミング信号、同期

信号)を受けて、ドレインドライバ103への制御信号として、クロックD1(CL1)、シフトクロックD2(CL2)および表示データを生成し、同時に、ゲートドライバ104への制御信号として、フレーム開始指示信号FLM、クロックG(CL3)および表示データを生成する。

【0046】また、ドレインドライバ103の前段のキャリア出力は、そのまま次段のドレインドライバ103のキャリア入力に入力される。

【0047】《階調電圧の生成方法》つぎに、従来の代表的な階調電圧の生成方法と本発明の実施例について、図14を参照して説明する。

【0048】図22に示すように、表示制御装置101は、コンピュータ本体からの表示データ、例えば各色毎6ビットの合計18ビットと表示制御信号とを受け取り、この信号を基に、ドレインドライバ103及びゲートドライバ104を駆動する。

【0049】ドレインドライバ103は、図14に示すように、液晶表示モジュール内部の電源回路から生成される、例えば9値の階調基準電圧($V_0 \sim V_8$)を、フレキシブル基板との接続端子10から供給し、透明絶縁基板SUB1上の入力端子Tdを介して、64階調分の階調電圧を生成する。すなわち、8値の各階調電圧間(V_i 及び V_{i+1} 間)を、ドライバ内の直列抵抗分割回路Rsegで更に8分割し、64階調分の階調電圧を生成する。次に、表示データに対応する階調電圧を $64 \times b$ 個のMOSTランジスタからなる選択回路により選択し、ドレイン信号線1~bに出力する。ドライバに供給する電源電圧3.3ボルトや接地電位も同様に、フレキシブル基板との接続端子10から供給し、透明絶縁基板SUB1上の入力端子Tdを介して、駆動用IC

の入力パンプBUMPとの接続端子11へ入力する。

【0050】本発明の目的は、前記の階調基準電圧や電源電圧が、電圧生成回路から、電圧変化することなしに正確に、ドライバ内の直列抵抗分割回路Rsegに伝達することにある。具体的には、入力配線Tdの抵抗値Radd、パンプとの接続抵抗値RA、フレキシブル基板との接続抵抗値RAの合計値Rtの抵抗バラツキとその絶対値を可能な限り小さく設計し、この部分での電圧降下及び電圧バラツキを最小にすることである。目標としては、抵抗値Rtで 15Ω 以下とする。したがって、駆動用IC内部のバスライン抵抗Rbusと直列抵抗分割回路Rsegで決まる設計値に忠実な64階調分の階調電圧を生成することができる。なお、本例では、複数のドライバに電源電圧やクロックを供給する共通配線(基準電源ライン)部分は、配線抵抗値を無視できる程度に低減するため、周辺基板側の銅パターン等の低抵抗配線にて形成している。

【0051】図15に、代表的な液晶表示装置の印加電圧-透過率特性を示す。

【0052】前記の64階調分の階調電圧のうち、印加電圧-透過率特性の傾斜が一番急峻となる中間調表示で、階調電圧の変動表示上の輝度ムラとして観測される。たとえば、使用電圧範囲が、約3ボルトと仮定し、256階調分の階調電圧が必要な場合は、各階調差は、約10ミリボルトとなり、この程度の出力誤差で、輝度差が発生することになる。

【0053】《透明絶縁基板SUB1の製造方法》つぎに、上述した液晶表示装置の第1の透明絶縁基板SUB1側の製造方法について、図18~図20を参照して説明する。なお、同図において、中央の文字は工程名の略称であり、左側は画素部分、右側はゲート端子付近の断面形状で見た加工の流れを示す。工程BおよびDを除き、工程A~Gの工程は各写真(ホト)処理に対応して区分けしたもので、各工程のいずれの断面図もホト処理後の加工が終わり、ホトレジストを除去した段階を示している。なお、上記写真(ホト)処理とは本説明ではホトレジストの塗布からマスクを使用した選択露光を経て、それを現像するまでの一連の作業を示すものとし、繰り返しの説明は避ける。以下区分した工程にしたがって説明する。

【0054】工程A、図18

7059ガラス(商品名)からなる第1の透明絶縁基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けた後、 500°C 、60分間のベークを行なう。なお、このSIO膜は透明絶縁基板SUB1の表面凹凸を緩和するために形成するが、凹凸が少ない場合、省略できる工程である。膜厚が 2800 \AA のA1-Ta、A1-Ti-Ta、A1-Pd等からなる第1導電膜g1をスパッタリングにより設ける。ホト処理後、リン酸と硝酸と氷酢酸との混酸液で第1導電膜g1を選択的にエッチングする。

【0055】工程B、図18

レジスト直描後(前述した陽極酸化パターン形成後)、3%酒石酸をアンモニアにより $\text{PH}6.25 \pm 0.05$ に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が 0.5 mA/cm^2 になるように調整する(定電流化成)。つぎに、所定のA12O3膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化(陽極化成)を行なう。その後、この状態で数10分保持することが望ましい(定電圧化成)。これは均一なA12O3膜を得る上で大事なことである。それによって、導電膜g1が陽極酸化され、走査信号線(ゲートライン)GL上および側面に自己整合的に膜厚が 1800 \AA の陽極酸化膜AOFが形成され、薄膜トランジスタFTのゲート絶縁膜の一部となる。

【0056】工程C、図18

膜厚が 1400 \AA の透明導電膜(Indium-Tin-Oxide ネサ膜)ITOからなる導電膜d1をス

パタリングにより設ける。ホト処理後、エッチング液として塩酸と硝酸の混酸液で導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0057】工程D、図19

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して膜厚が300ÅのN+型の非晶質Si膜d0を設ける。この成膜は同一CVD装置で反応室を変え連続して行なう。

【0058】工程E、図19

ホト処理後、ドライエッチングガスとしてSF6、BC13を使用してN+型非晶質Si膜d0、i型非晶質Si膜ASをエッチングする。続けて、SF6を使用して窒化Si膜GIをエッチングする。もちろん、SF6ガスでN+型非晶質Si膜d0、i型非晶質Si膜ASおよび窒化Si膜GIを連続してエッチングしても良い。

【0059】このように3層のCVD膜をSF6を主成分とするガスで連続的にエッチングすることが本実施例の製造工程の特徴である。すなわち、SF6ガスに対するエッチング速度はN+型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIの順に大きい。したがって、N+型非晶質Si膜d0がエッチング完了し、i型非晶質Si膜ASがエッチングされ始めると上部のN+型非晶質Si膜d0がサイドエッチされ、結果的にi型非晶質Si膜ASが約70度のテーバに加工される。また、i型非晶質Si膜ASのエッチングが完了し、窒化Si膜GIがエッチングされ始めると、上部のN+型非晶質Si膜d0、i型非晶質Si膜ASの順にサイドエッチされ、結果的にi型非晶質Si膜ASが約50度、窒化シリコン膜GIが20度にテーバ加工される。上記テーバ形状のため、その上部にソース電極SD1が形成された場合も断線の確率は著しく低減される。N+型非晶質Si膜d0のテーバ角度は90度に近いが、厚さが300Åと薄いために、この段差での断線の確率は非常に小さい。したがって、N+型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIの平面パターンは厳密には同一パターンではなく、断面が順テーバ形状となるため、N+型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIの順に大きなパターンとなる。

【0060】工程F、図20

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる第3導電膜d3をスパッタリングにより設ける。ホト処理後、第3導電膜d3を工程Aと同様な液でエッ

チングし、第2導電膜d2を硝酸第2セリウムアンモニウム溶液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。

【0061】ここで本実施例では、工程Eに示すように、N+型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIが順テーバとなっているため、映像信号線DLの抵抗の許容度の大きい液晶表示装置では第2導電膜d2のみで形成することも可能である。

【0062】つぎに、ドライエッチング装置にSF6、BC13を導入して、N+型非晶質Si膜d0をエッチングすることにより、ソースとドレイン間のN+型半導体層d0を選択的に除去する。

【0063】工程G、図20

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が0.6μmの窒化Si膜を設ける。ホト処理後、ドライエッチングガスとしてSF6を使用してエッチングすることにより、保護膜PSV1を形成する。保護膜としてはCVDで形成したSiN膜のみならず、有機材料を用いたものも使用できる。

【0064】《駆動用IC下の短絡配線SHcによる静電対策》図7は透明絶縁基板SUB1上に駆動用ICを搭載する部分の周辺と、該基板の切断線CT1付近の要部平面図である。

【0065】図7に示すように、本例では、ドレイン駆動用ICの入力および出力は、共に該ICチップの1辺から出ている。各配線パターンDTMにつながる各ドレイン線DLは1本置きに互い違いの方向に、一方は、図示していないが、一方の切断線CT1を越えて延在され、図中y方向に延在するドレイン短絡配線SHdに接続されて短絡され、他方は、図7に示す短絡配線SHcおよび（ドレイン線駆動用ICへの）入力配線Tdを介して切断線CT1を越えて延在され、ドレイン短絡配線SHdに接続されて短絡されている。すなわち、ドレイン線DLは1本置きに短絡配線SHcに電氣的に接続され、駆動用IC毎に短絡され、該短絡配線SHcはドレイン線駆動用ICへの2本の入力配線Tdとに接続され、該2本の入力配線Tdを介してドレイン短絡配線SHdに短絡されている。このように、各ドレイン線DLや入力配線Tdに発生した静電気を、短絡配線SHcとドレイン短絡配線SHdを介して分散するようになっている。なお、液晶表示素子完成後は、もちろん短絡を解除しなければ動作しないので、ドレイン短絡配線SHdはそれぞれ後の工程で切断破棄される切断線CT1の外側の透明絶縁基板SUB1の面に形成されている。ドレイン短絡配線SHdと直接接続された入力配線Tdの先端部の入力端子IPの短絡解除は、切断線CT1での基板SUB1の切断によりなされる。一方、短絡配線SHcおよび入力配線Tdを介してドレイン短絡配線SHdと接続されたドレイン線DLの短絡解除は、短絡配線SHcの存在により、切断線CT1での基板SUB1の切

断ではなされない。この短絡解除については、図7、図8に示すように、短絡配線SHcと、1本置きのドレイン端子DTMおよび入力配線Tdとは、駆動用ICを基板SUB1面上に搭載する前に、1本の切断線C1でレーザまたはホットエッチング等により切断する。したがって、この切断のため、図7、図8に示すように、切断線C1のある領域（IC搭載領域）には、パッシベーション膜PAS1（すなわち、保護膜PSV1）が形成されていない。本例では、切断線C1における1本のカットで容易に短絡解除できる。

【0066】なお、切断線C1の箇所の配線DTMはレーザ切断においても汚染の少ない透明導電膜ITOで形成してあるので、汚染を抑制することができる。また、この切断は、ホットエッチングによって行なってもよい。

【0067】なお、本例では、上記ドレイン線DL側とは異なり、ゲート線GL側では、IC毎の短絡配線SHcは設けていない。この理由は、ゲート線駆動用ICが片側だけに配置され、反対側（ゲート線駆動用ICを配置していない側）のゲート短絡配線SHgによって、ゲート線GLを相互に短絡させることができるためと、ゲート側は、画素ピッチがドレイン側に比べ約3倍大きい

20

ため、隣接ゲート線間の短絡不良の確率が小さいので、短絡検査を不要であることによる。ただし、ゲート線駆動用ICを両側に配置する場合や、ゲート短絡配線SHgを配置しない場合は、ゲート線GLを短絡配線SHcを介して、ゲート短絡配線SHgにつなげる必要がある。また、この短絡配線SHcを有する構造は、ゲート走査駆動用IC側にもICチップの1辺から出力および入力が出ている場合に適用できることは言うまでもない。

【0068】また、図8は図7の要部（ドレイン入力側コーナー部）の拡大詳細図である。該基板SUB1上に、入力端子IP、短絡配線SHcのほかは、駆動用ICとの位置合わせマークALDや搭載後の駆動用ICの位置ずれ検知用パターンBARが設けられている様子を示す。

【0069】《駆動用ICへの入力配線Td》図1は、本発明の駆動用ICへの入力配線Tdの拡大平面図である。

【0070】駆動用ICへの入力配線Tdは、図1に示すように、透明絶縁基板SUB1上に、下層から、ゲート電極・ゲート線と同一工程で形成され、A1-Ta、A1-Ti-Ta、A1-Pd等の低抵抗金属からなる第1導電膜g1、表示部の透明画素電極と同一工程で形成され、ITO（インジウム チン オキサイド）膜からなる導電膜d1、薄膜トランジスタのソース・ドレイン電極と同一工程で形成され、Cr等の低抵抗金属からなる第2導電膜d2、A1-Pd、A1-Si、A1-Ta、A1-Ti-Ta等の低抵抗金属からなる第3導電膜d3から構成され、その上に電食防止のため、Si

10

N等からなる保護膜（パッシベーション膜）PSV1が設けられている。

【0071】図1において、駆動用ICが搭載される位置を符号ICを付した破線で示す。なお、符号BUMPは駆動用ICのバンプBUMPがボンディングされるバンプ接続部である。また、外部から駆動用ICへ信号、電源電圧を供給するフレキシブル基板FPCが接続、実装される位置（一端部）を符号FPCを付した破線で示す。入力配線Tdのフレキシブル基板の出力端子と接続される部分は、図1の破線FPCの左側（表示部と反対側）の部分である。

【0072】フレキシブル基板の出力端子と接続される入力配線Tdの部分において、第2導電膜d2と第3導電膜d3とは、図1に示すように、入力配線Tdの片側に形成されている。また、保護膜PSV1も入力配線Tdの片側に形成された第2、第3導電膜d2、d3に沿ってそれより少し大きめに、入力配線Tdの片側に形成されている。すなわち、入力配線Tdにおいて、表面に露出した保護膜PSV1以外の部分は、透明導電膜d1が広い面積で露出しており、この露出した透明導電膜d1を検査用端子（パッド）とし、また、この露出した透明導電膜d1とフレキシブル基板の出力端子とが直接接続される。

【0073】なお、第1導電膜g1と第2導電膜d2とはスルーホールTH1、TH2を介して接続されている。

【0074】また、図1において、符号Pは端子（入力配線Td）ピッチ（約0.4～1.3mm）、符号Gは端子ギャップ（間隔）（約0.2～1.1mm）である。

30

【0075】ここでは、フレキシブル基板と駆動用ICとを接続する入力配線Tdを、低抵抗金属からなる第1導電膜g1、第2、第3導電膜d2、d3を含んで構成し、かつ、低抵抗金属とは接触抵抗の高い透明導電膜d1を介在する第1導電膜g1と第2導電膜d2とを、スルーホールTH1、TH2を介して接続したので、入力配線Tdを低抵抗化でき、フレキシブル基板から駆動用IC間の低抵抗化を実現できる。

【0076】また、電食が進行しやすい低抵抗化のための入力配線Tdの片側に形成された第2、第3導電膜d2、d3の上は、電食防止のため、保護膜PSV1で覆い、フレキシブル基板の端子と接続する部分は、安定性が高く、汚染、酸化されにくく、電食の生じにくい透明導電膜d1を露出して構成したので、フレキシブル基板と駆動用ICとを接続する入力配線Tdの耐電食性を向上できる。その結果、製品の信頼性を向上できる。

【0077】さらに、フレキシブル基板の出力端子と接続される入力配線Tdの部分の第2、第3導電膜d2、d3は入力配線Tdの片側に形成し、それ以外の部分は、広い面積で、透明導電膜d1を露出させたので、前

50

記《製造フロー》の項で説明したように、駆動用IC搭載後、フレキシブル基板実装前に、透明導電膜d1の露出部分TESTに検査用プローブを当て、点灯検査を行い、駆動用ICの良否の判断を行うことができる。

【0078】以上のように、前述した端子構造にすることで、入力端子Tdのフレキシブル基板接続部分から入力端子IPまでの抵抗値は、たとえば、配線幅300 μ m、配線距離2mmを仮定し、配線層d3の膜厚を約4000 \AA とすると、A1-Pdでは、抵抗率0.1 Ω/\square 程度、配線層g1の膜厚を約2800 \AA とすると、A1-Ta-Tiでは、抵抗率0.5 Ω/\square 程度であるため、各々0.67 Ω と3.3 Ω との並列接続抵抗となり、更に、透明導電膜d1との間のTH1、TH2部のスルーホール抵抗を考慮しても、全体で、数 Ω の抵抗となる。

【0079】図16は、折り曲げ可能な多層フレキシブル基板FPCを液晶表示素子に折り曲げ実装する方法を示す斜視図である。

【0080】フレキシブル基板FPCは多層構造、折り曲げ可能で、図16に示すように、液晶表示素子の下部透明絶縁基板の端部に、異方性導電膜（図17の符号ACF1参照）を介して電氣的、機械的に接続され、フレキシブル基板FPCは矢印方向に折り曲げて実装される。

【0081】下部透明絶縁基板SUB1の接続箇所上に異方性導電膜（ACF1）を貼り付け、フレキシブル基板FPCの穴FHLを治具の位置決めピンに仮固定し、開口穴とフレキシブル基板FPCの穴とを合わせて粗い合わせを行なう。合わせ精度向上のため、基板SUB1側には、四角の塗りつぶしパターン（図6、図7の符号ALC参照）を配置している。このパターン（ALC）をフレキシブル基板FPC側の口の字状の合わせパターンALMG、ALMDに納まる状態に位置を調整しながら、ヒートツールでフレキシブル基板を仮熱圧着する。さらに位置ずれがないことを確認後、本熱圧着し、フレキシブル基板FPCを基板SUB1に固定する。

【0082】異方性導電膜ACF1を使用した理由は、駆動用ICへの入力信号や電源電圧を約45本配線する必要があり、入力配線Td間ピッチPが、約400 μ mと小さく、透明絶縁基板SUB1へのはんだ付けが難しく、信頼性の良い電気接続が困難であった。したがって、本発明により、画素数や表示色数が増えて配線間ピッチが狭くなっても、フレキシブル基板と信頼性良く電気接続できる。

【0083】図24(a)、(b)は、それぞれ液晶表示モジュールの要部断面図の一例である。

【0084】フリップチップ方式と多層フレキシブル基板との組み合わせられた駆動回路付き液晶表示素子に、シールドケースSHD、絶縁スペーサSPC、ゴムクッションGC、偏向板POL、プリズムシートPRS、拡散

シートSPS、導光板GLB、反射シートRFS、下側モールドケースMCA、蛍光管LP、ランプケーブルLPC等を図に示すように、上下の配置関係で、各部材が積み重ねられ、液晶表示モジュールが組み立てられる。

【0085】《入力端子IPの構造》本発明の入力端子IPの構造例を図1ないし図4に示す。

【0086】前述したように、入力配線Tdのフレキシブル基板接続部分から入力端子IPまでの抵抗値は、数 Ω の抵抗となっている。一方、入力端子IP部でも、数 Ω の抵抗値にする必要がある。

【0087】図2(a)、(b)、(c)には、本発明の実施例を示す入力端子IPと駆動用ICのバンクとの相対位置を示す拡大平面図である。本例の構造は、バンクが分割されていないため、便宜上シングルバンクSBP構造と称する。

【0088】入力端子IPとして、同一の大きさを仮定した場合、バンク周囲に形成する配線層d2、d3の突出部分JUTが、図2(a)バンクの1辺側、図2(b)バンクの2辺側、図2(c)バンクの3辺側になるに従い、透明導電膜とバンクとの接続面積が、減少してくることが分かる。入力端子IPが約100 μ m幅で、高信頼接続のため、接続面積で70 μ m角以上必要な場合は、配線層d2、d3の突出部分JUTの配線幅は、約10~20 μ mであるため、図2(a)バンクの1辺側の構造が、最適となる。また、この構造は、入力端子IPの長さ方向のバンクの位置ズレに対しては緩く、突出部分JUTを破壊することがない。ただし、入力端子IPの幅に余裕がある場合は、より配線抵抗値Rtが低減可能な図2(b)バンクの2辺側、図2(c)バンクの3辺側の構成が有利となる。本例は、突出部分JUTは、配線層d2、d3を使用しているが、同様なパターンで配線層g1を使用しても、低抵抗配線化が可能である。なお、突出部分JUTに、配線層d2、d3を使用した場合、更に、突出パターンの損傷防止や電食に対する信頼性を向上するため、アルミニウムを主体とする配線が直接外気に露呈しないため、配線の上を保護膜PSV1で被覆している。

【0089】図3(a)、(b)、(c)、(d)には、本発明の別の実施例を示す入力端子IPと駆動用ICの分割されたバンクとの相対位置を示す拡大平面図である。本例の構造は、バンクが複数に分割されているため、便宜上ダブルバンクWBP構造と称する。

【0090】入力端子IPとして、同一の大きさを仮定した場合、配線層d2、d3の突出部分JUTが、図3(a)分割されたバンクの中央の間隙、図3(b)分割されたバンクの中央の間隙と周辺の1辺側、図3(c)分割されたバンクの中央の間隙と周辺の2辺側、図3(d)分割されたバンクの中央の間隙と周辺の3辺側になるに従い、透明導電膜とバンクとの接続面積が、減少してくることが分かる。入力端子IPが約100 μ m

幅で、合計接続面積で $70\mu\text{m}$ 角以上必要な場合、配線層 $d2$ 、 $d3$ の突出部分JUTの配線幅は、約 $10\sim 20\mu\text{m}$ であるため、図3(a)分割されたパンプの中央の隙間に配置の構造が最適となる。また、この構造は、入力端子IPの長さ方向のパンプの位置ズレに対しては緩く、突出部分JUTを破壊することがない。ただし、入力端子IPの幅に余裕がある場合は、より配線抵抗値 R_t が低減可能な図3(b)パンプの2辺側、図3(c)パンプの3辺側の構成が有利となる。本例は、突出部分JUTは、配線層 $d2$ 、 $d3$ を使用しているが、同様なパターンで配線層 $g1$ を使用しても、低抵抗配線化が可能である。なお、突出部分JUTに、配線層 $d2$ 、 $d3$ を使用した場合、更に、突出パターンの損傷防止や電食に対する信頼性を向上するため、アルミニウムを主体とする配線が直接外気に露呈しないため、配線の上を保護膜PSV1で被覆している。

【0091】図10に、従来の代表的な入力端子構造の例とパンプまでの抵抗値を模式的に示す。更に、図11、図12に、本発明の入力端子構造SBP、WBP及びパンプまでの抵抗値を模式的に示す。

【0092】入力端子部IPでは、点線で示すパンプBUMPとの接続箇所までは、たとえば、抵抗値 $R1$ として、パンプBUMP幅 $70\mu\text{m}$ 、配線層 $d2$ 、 $d3$ とパンプBUMPとの距離 $40\mu\text{m}$ を仮定し、配線層 $d1$ の膜厚を約 1400\AA とすると、ITO膜では、抵抗率 $20\Omega/\square$ 程度とすると、約 11.4Ω となる。更に、抵抗値 $R2$ 、 $R3$ 、 $R4$ は、パンプ周辺の残り3辺の抵抗であるが、いずれも、抵抗値 $R1$ よりは大きい値となる。このため、パンプBUMPとの接続箇所と配線層 $d2$ 、 $d3$ の端との合計の並列抵抗値は、ほぼ抵抗値 $R1$ に等しく、約 10Ω と大きいことが分かった。更に、この値は、パンプBUMPとの接続箇所の位置ズレにより、前記距離が、例えばパンプ毎に $20\sim 60\mu\text{m}$ のバラツキがあると、抵抗値 $R1$ は、 $5\sim 17\Omega$ と変化することが分かった。したがって、従来の入力端子構造では、具体的には、入力配線Tdの抵抗値 R_{add} 、パンプとの接続抵抗値 R_A 及びフレキシブル基板との接続抵抗値 R_A の合計値 R_t のバラツキを最低限とし、その絶対値を、目標としては 15Ω 以下にすることが難しかった。

【0093】一方、図2に示すシングルパンプSBP構造では、パンプBUMP周辺に突出部JUTが形成されているため、図11に示す抵抗RDが、前記抵抗 $R1$ に並列接続して形成され、図10に比較して、より低抵抗配線が実現できる。例えば、抵抗RD部のパンプ側の幅 $70\mu\text{m}$ 、配線層 $d2$ 、 $d3$ とパンプBUMPとの距離 $40\mu\text{m}$ を仮定し、配線層 $d1$ の、抵抗率 $20\Omega/\square$ 程度とすると、抵抗値RDは、約 11.4Ω となる。すなわち、並列抵抗としては、主に、抵抗 $R1$ とRDからなり、従来に比べ半減でき、約 6Ω 以下となる。また、突

出部JUTで、パンプの周辺をより多く囲むことにより、入力端子抵抗は小さくなることは言うまでもない。

【0094】さらに、図3(a)に示すダブルパンプWBP構造では、分割されたパンプBUMPの中央部に突出部JUTが形成されているため、図12に示す抵抗RDが、中央部の突出部JUTの両側に形成され、これらの抵抗RDが、前記抵抗 $R1$ に並列接続して形成され、図11に比較して、より低抵抗配線が実現できる。例えば、抵抗RD部のパンプ側の幅 $70\mu\text{m}$ 、配線層 $d2$ 、 $d3$ とパンプBUMPとの距離 $40\mu\text{m}$ を仮定し、配線層 $d1$ の、抵抗率 $20\Omega/\square$ 程度とすると、抵抗値RDは、約 11.4Ω となる。すなわち、並列抵抗としては、分割されたパンプ毎に、抵抗 $R1/2$ とRD/2の並列抵抗となり、従来に比べ約 $1/4$ に減少でき、約 3Ω 以下となる。また、突出部JUTで、パンプの周辺の辺をより多く囲むことにより、入力端子抵抗は小さくなることは言うまでもない。

【0095】図5は、透明導電膜の下層あるいは上層に低抵抗金属層の配線を形成した場合の端子間抵抗と測定方法を示す図である。

【0096】図5(a)に示すように、測定端子パターンとしては、透明導電膜ITOを含む多層の構造とし、下層11と上層12の接続面積は、およそ幅 $200\mu\text{m}$ 、長さ $600\mu\text{m}$ とした。また、およそ長さ $100\mu\text{m}$ の接続長さで、異方性導電膜ACFを介してフレキシブル基板FPCを上層12に電気接続し、更に抵抗 R_o を介して、約1ボルトの電圧を印加した。電流値は、前記測定端子パターンの端に検査プローブ針をあてて測定し、抵抗値を算出した。

【0097】図5(b)に、その測定結果を示す。

【0098】透明導電膜ITOの単層では、端子間の抵抗値は、約 $40\sim 100\Omega$ となっており、抵抗値も高く、バラツキも大きい。これは、比抵抗が $20\Omega/\square$ 程度と高いこと、及び、膜厚の変動の影響が大きいことによると考えられる。このため、入力端子には、透明導電膜ITOの単層の構造は、適当でないことがわかる。

【0099】一方、透明導電膜ITOの下層に低抵抗金属層を配線する構造では、下層11の材料により、接続抵抗が異なるため、端子間の抵抗値が異なることがわかった。すなわち、上層12に、透明導電膜ITOを、下層11に、アルミニウムA1を主体とする膜を形成した構造ITO/A1では、端子間の抵抗値が 10Ω 程度しか減少せず、2層間の接続抵抗が、かなり高いことがわかる。これは、アルミニウムA1を主体とする膜の表面に薄い酸化膜が形成されているためと考えられる。下層11に、クロムCrあるいはタンタルTaを主体とする膜を形成した構造ITO/CrあるいはITO/Taでは、端子間の抵抗値が約半減し、2層間の接続抵抗が、かなり低いことがわかる。

【0100】なお、上層12に、アルミニウムA1とク

ロムCrの2層とし、下層11に透明導電膜ITOを形成したAl/Cr/ITO構造では、ほとんど2層間の接続抵抗が無いことがわかる。

【0101】以上のことから、低抵抗金属層の配線として、ゲート配線を形成する金属層を使用し、透明導電膜の下層において、前記低抵抗金属層の配線を突出させて形成する入力端子IPの構造とすることで、単層の透明導電膜の場合に比べて、入力端子部の抵抗を減少できることがわかる。

【0102】図4は、本発明の別な実施例を示すもので、低抵抗金属層の配線として、ゲート配線を形成する金属層を使用した例である。

【0103】図4(a)では、入力端子部IPにおいて、ゲート配線を形成する金属層g1からなる突出部JUTでバンプとの接続部BUMPを全面覆い、しかも、透明導電膜d1よりは面積を小さく形成する。したがって、ゲート配線材料として、比較的柔らかい材料や、電食の起こりやすい材料でも、上層の比較的硬く、信頼性上安定した透明導電膜d1で被覆するため、接続信頼性が向上し、低抵抗化を実現できる。

【0104】図4(b)及び図4(c)では、各々図2(a)及び図3(a)の入力端子IP構造において、更に、ゲート配線を形成する金属層g1にて突出部JUTを形成したものである。したがって、更に、図2(a)及び図3(a)に比べ、低抵抗化を実現できる。

【0105】本例では、ゲート配線材料としては、アルミニウムAlを主体とする材料を使用しているが、クロムCrあるいはタンタルTaを主体とする材料を使用する場合でも、より低抵抗化に効果があることは、図5に示したとおりである。

【0106】図13に、駆動用ICを搭載後の図1及び図3(a)に示すダブルバンプWBP構造のG-G切断線における模式的断面図を示す。

【0107】本例では、駆動用ICのバンプBUMPは、金Au材料から形成した。異方性導電膜ACF2としては、市販の材料で、粒子材質としては、約5μm径ブラスタックに、ニッケルNi及び金Auメッキしたもので、10000個/mm²以上の粒子密度のものを使用し、加熱圧着時は、駆動用IC側を150度以上に熱し、加圧して、透明絶縁基板上の透明導電膜d1と電気接続を行った。この結果、バンプBUMPと透明導電膜d1との間の抵抗値RAは、合計接続面積で40μm角以上ある場合は、数Ωとなった。

【0108】したがって、本発明によれば、この部分の抵抗値を従来に比べ、半減以下にでき、高信頼性で高密度バンプ実装に適する入力端子IPの構造を得ることができる。

【0109】図9に、実際の液晶表示モジュールのドレイン駆動用ICの各入力信号に対して、本発明の入力端子構造を適用した例を示す。なお、平面拡大図は、図7

に示す。

【0110】入力配線Tdの番号1及び45は、透明絶縁基板SUB2側に形成される共通電極COMに電圧を供給するための配線である。また、番号2及び44は、短絡配線SHcに接続されており、入力バンプとの接続は無い。番号4~10、15、16、29~31、及び37~42は、表示データ信号D00~D05、D10~D15、D20~D25で、各色毎6ビットの合計18ビットにより、約26万色を表示する。これらの表示データは、高インピーダンス入力であるため、入力端子の抵抗値の悪影響はそれほど大きくなく、このため、入力端子構造としては、図2(a)に示すシングルバンプSBP構造とした。また、走査方向変更信号(LD240-1)の配線番号11、クロックの取り込み制御(RESERVED)の配線番号14、クロック入力用配線番号17(DCLK)、動作クランプ用配線番号32(CLAMP)、データ反転信号(DATA-INV)入力の配線番号35、キャリア信号入力の配線番号43(EIO1)、についても、高インピーダンス入力であるため、入力端子の抵抗値の悪影響はそれほど大きくなく、このため、入力端子構造としては、シングルバンプSBP構造とした。

【0111】一方、階調基準電圧や電源電圧は、入力インピーダンスが低いため、《階調電圧の生成方法》の項でも説明したように、入力配線の抵抗値Raddの悪影響は大きくなる。このため、入力端子構造としては、ダブルバンプWBP構造とした。

【0112】すなわち、9値の階調基準電圧V0~V8を入力配線の番号12、13、20、21~25、26、33、34から供給するが、これらの入力端子構造としては、図3(a)に示すダブルバンプWBP構造とした。更に、デジタル電源用(VDDD)、アナログ電源用(VDDA)の3.3ボルト供給入力配線の番号18、19も、ダブルバンプWBP構造とした。更に、アナロググランド用(AGND)、デジタルグランド用(DGND)の入力配線の番号27、28も、ダブルバンプWBP構造とした。

【0113】前述のように、各入力信号に対応して、最適な入力端子構成を採用することで、液晶表示装置において、どの中間調表示でも、輝度ムラは、観測されることはなかった。

【0114】《液晶表示モジュールMDLを実装した情報機器》図25は、液晶表示モジュールMDLを実装したノートブック型のパソコンあるいはワープロの装置の斜視図である。

【0115】駆動ICの液晶パネルPNL上へのCOG実装と外周部のドレインおよびゲートドライバ用周辺回路としての多層フレキシブル基板に折り曲げ実装を採用することで、従来に比べ大幅に外形サイズ縮小ができる。本例では、片側実装されたドレインドライバ用周辺

回路を情報機器のヒンジ上方の表示部の上側に配置できるため、コンパクトな実装が可能となった。

【0116】情報機器からの信号は、まず、図では、左側のインターフェイス基板PCBのほぼ中央に位置するコネクタから表示制御集積回路素子(TCON)へ行き、ここでデータ変換された表示データが、上下に分かれて多層フレキシブル基板上のドレインドライバ用周辺回路へ流れる。このように、フリップチップ方式と多層フレキシブル基板とを使用することで、情報機器の横幅の外形の制約が解消でき、小型で低消費電力の情報機器を提供できた。

【0117】以上本発明を実施例に基づいて具体的に説明したが、本発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0118】

【発明の効果】以上説明したことから明らかなように、本発明によるフリップチップ方式の液晶表示装置によれば、低抵抗で、高密度なバンプへ高信頼性で電氣的に接続可能な入力端子部を提供できるため、多色表示を行っても、輝度ムラのない高品質な画面が表示できる。

【図面の簡単な説明】

【図1】 本発明の示す駆動用ICへの入力配線Tdの拡大平面図である。

【図2】 本発明の実施例を示す入力端子IPと駆動用ICのバンプとの相対位置を示す拡大平面図である。

【図3】 本発明の別の実施例を示す入力端子IPと駆動用ICの分割されたバンプとの相対位置を示す拡大平面図である。

【図4】 本発明の別の実施例を示すもので、低抵抗金属層の配線として、ゲート配線を形成する金属層を使用し、透明導電膜の下層において、前記低抵抗金属層の配線を突出させて形成する場合の入力端子IPの構造と駆動用ICのバンプとの相対位置を示す拡大平面図である。

【図5】 透明導電膜の下層あるいは上層に低抵抗金属層の配線を形成した場合の端子間抵抗と測定方法を示す図である。

【図6】 本発明の液晶表示素子の透明絶縁基板SUB1上に駆動用ICを搭載した様子を示す平面図である。

【図7】 本発明の液晶表示素子の透明絶縁基板SUB1上に駆動用ICを搭載する部分の周辺と、該基板の切断線CT1付近の要部平面図である。

【図8】 図7の要部(駆動用IC入力側コーナー部)の拡大詳細図である。

【図9】 各入力信号に対する基板側入力端子構造と駆動用IC側バンプとの対応図である。

【図10】 従来の入力端子構造とバンプまでの抵抗値

を模式的に示す平面図である。

【図11】 本発明の入力端子構造とバンプまでの抵抗値を模式的に示す平面図である。

【図12】 本発明の入力端子構造と分割されたバンプまでの抵抗値を模式的に示す平面図である。

【図13】 駆動用ICを搭載後の図1のG-G切断線における模式的断面図である。

【図14】 代表的な多階調表示駆動用IC内の抵抗分割部分と該駆動用ICへ階調電圧を供給する基準電源ラインを示す模式的回路図である。

【図15】 代表的な液晶の印加電圧-透過率特性を示す図である。

【図16】 折り曲げ可能な多層フレキシブル基板FPCを液晶表示素子に折り曲げ実装する方法を示す斜視図である。

【図17】 図6のA-A切断線における断面図である。

【図18】 基板SUB1側の工程A~Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図19】 基板SUB1側の工程D~Eの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図20】 基板SUB1側の工程F~Gの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図21】 液晶表示パネルとその周辺に配置された回路を示すブロック図である。

【図22】 表示制御装置からゲート及びドレインドライバへの表示用データとクロック信号の流れを示す図である。

【図23】 TFT液晶表示モジュールにおける、コモン電極に印加されるコモン電圧、ドレイン電極に印加されるドレイン電圧、ゲート電極に印加されるゲート電圧のレベル及びその波形を示す図である。

【図24】 (a)、(b)はそれぞれ液晶表示モジュールの要部断面図である。

【図25】 液晶表示モジュールを実装したノートブック型のパソコンあるいはワープロの斜視図である。

【符号の説明】

BUMP-駆動用ICのバンプ

FPC-フレキシブル基板

Td-入力配線部

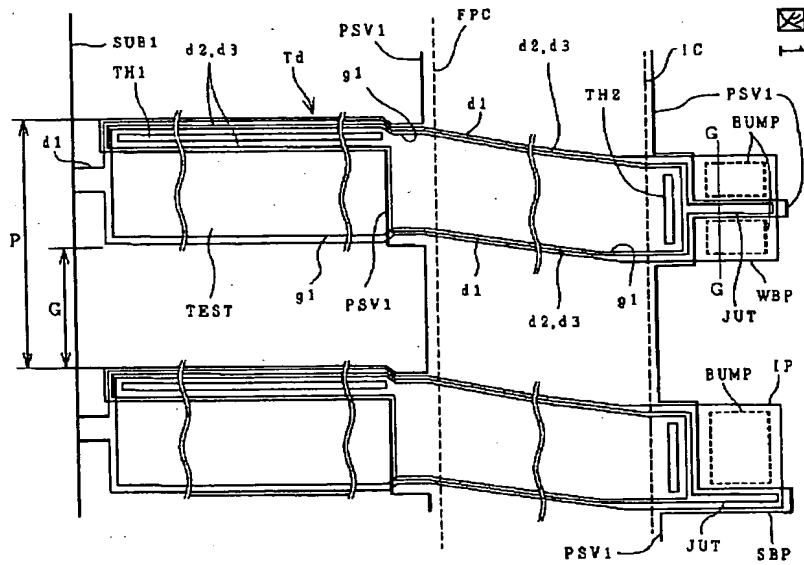
IP-入力端子部

SBP-シングルバンプ構造

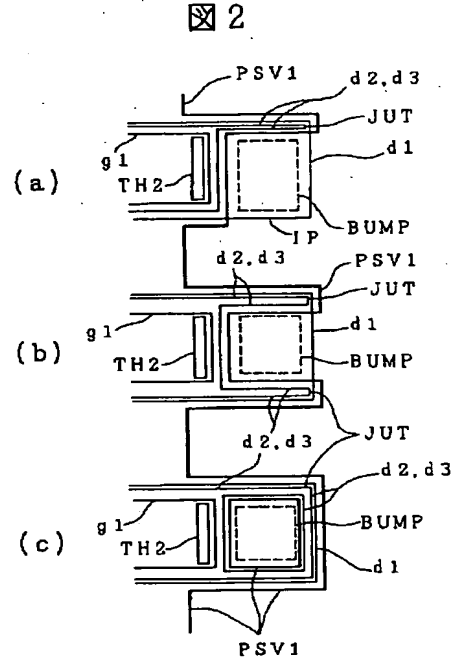
WBP-ダブルバンプ構造

JUT-突出部分

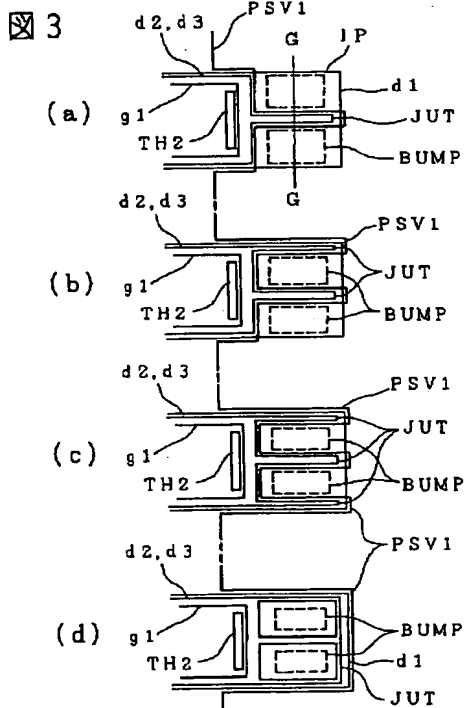
【図1】



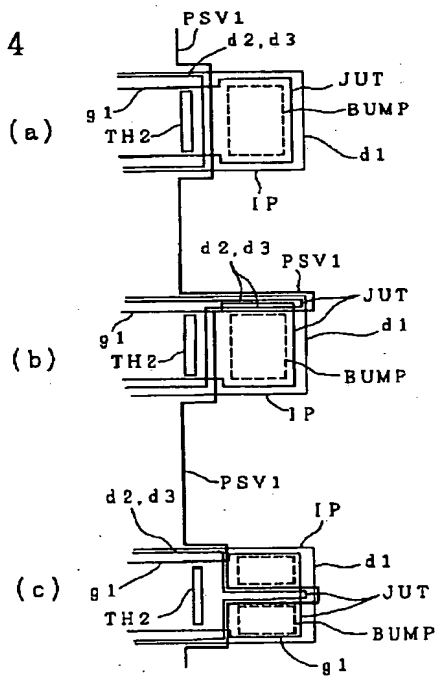
【図2】



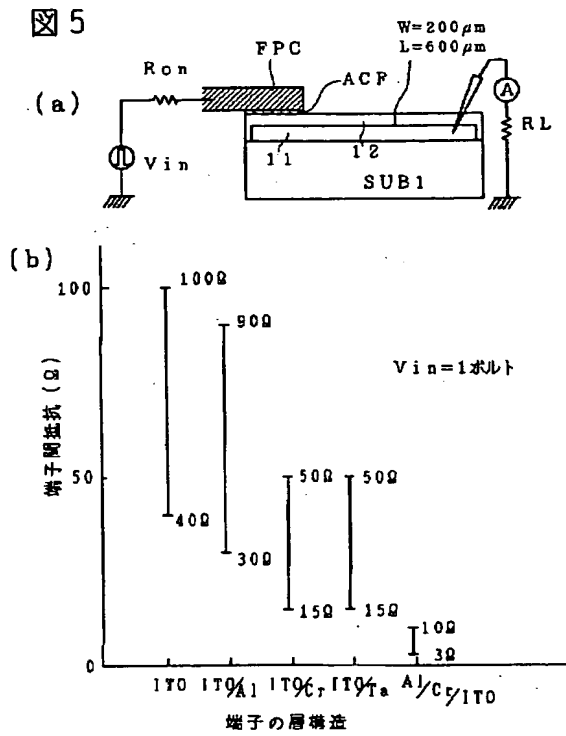
【図3】



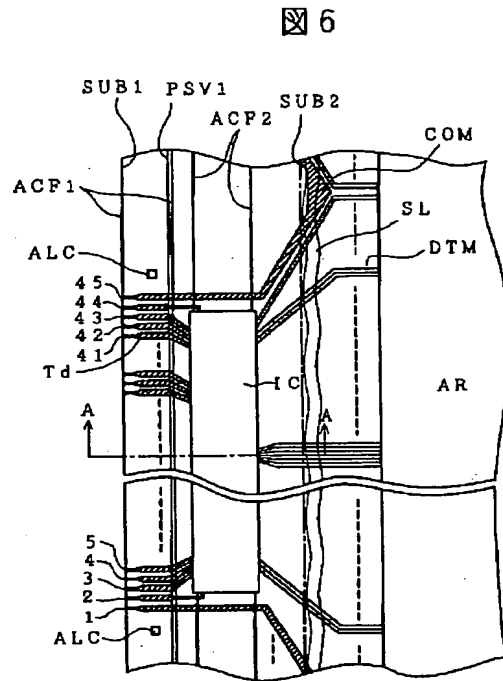
【図4】



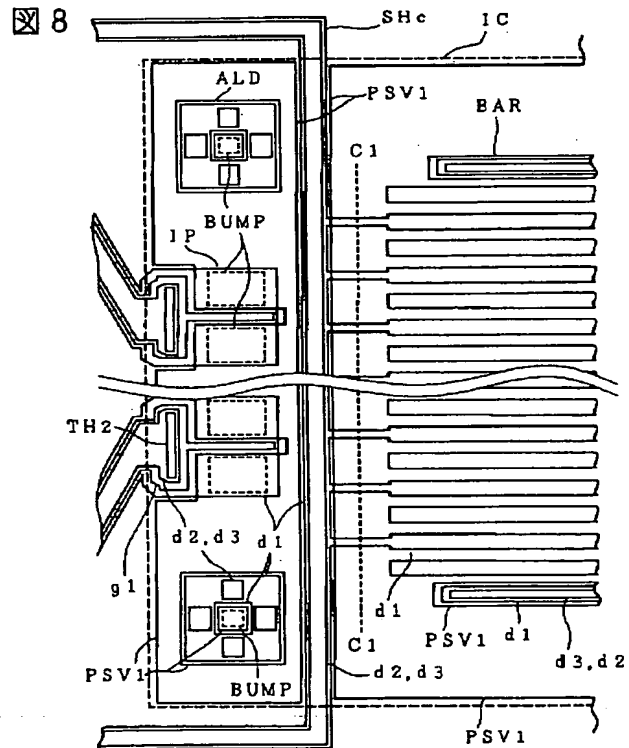
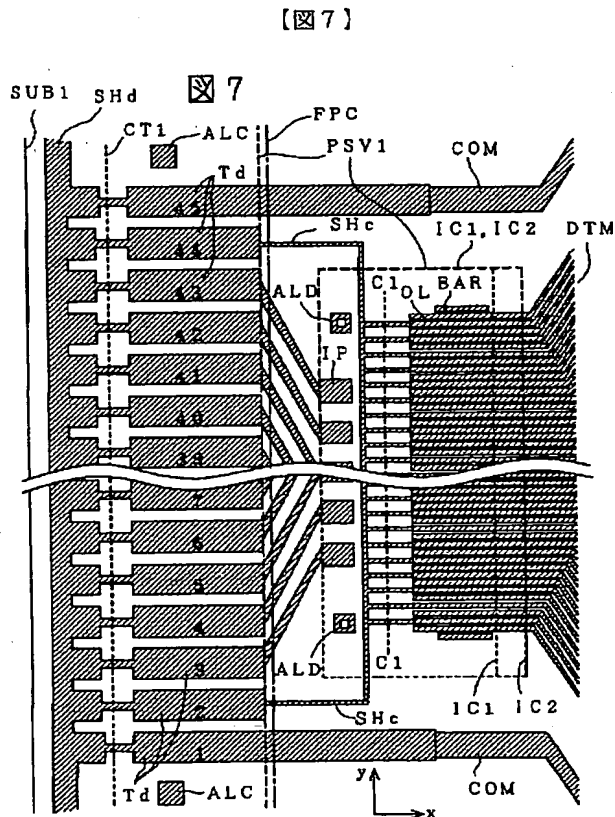
【図5】



【図6】



【図8】

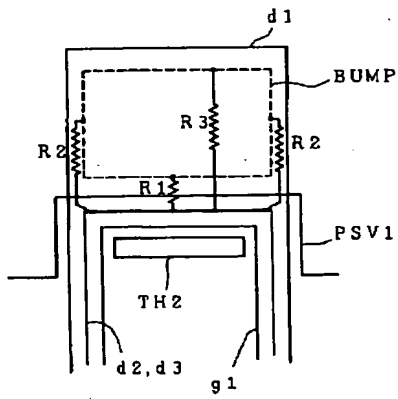


【図9】

入力配線 Td	バンブ BUMP	入力端子 IP
45	VCOM	
44		
43	41 E101	キャリア信号 SBP
42	40 D00	データ SBP
41	39 D01	データ SBP
40	38 D02	データ SBP
39	37 D03	データ SBP
38	36 D04	データ SBP
37	35 D05	データ SBP
36	34 LP	データ SBP
35	33 DATA-INV	VSSに接続 SBP
34	32 V0	階調電圧 (0~1V程度) WBP
33	31 V8	階調電圧 (2~3V程度) WBP
32	30 CLAMP	VDDに接続 SBP
31	29 D10	データ SBP
30	28 D11	データ SBP
29	27 D12	データ SBP
28	26 DGND	VSSに接続 WBP
27	25 AGND	VSSに接続 WBP
26	24 V1	階調電圧 (0~1V程度) WBP
25	23 V6	階調電圧 (1.5~3V程度) WBP
24	22 V3	階調電圧 (0.5~2.5V程度) WBP
23	21 V4	階調電圧 (0.5~2.5V程度) WBP
22	20 V5	階調電圧 (1~1V程度) WBP
21	19 V2	階調電圧 (0~1.5V程度) WBP
20	18 V7	階調電圧 (2~1V程度) WBP
19	17 VDDA	電源 (3.3V) WBP
18	16 VDDD	電源 (3.3V) WBP
17	15 DCLK	クロック SBP
16	14 D13	データ SBP
15	13 D14	データ SBP
14	12 RESERVED	VSSに接続 SBP
13	11 V8	階調電圧 (2~1V程度) WBP
12	10 V0	階調電圧 (0~1V程度) WBP
11	9 LD240-1	VSSに接続 SBP
10	8 D15	データ SBP
9	7 D20	データ SBP
8	6 D21	データ SBP
7	5 D22	データ SBP
6	4 D23	データ SBP
5	3 D24	データ SBP
4	2 D25	データ SBP
3	1 E10240	キャリア信号 SBP
2		
1	VCOM	

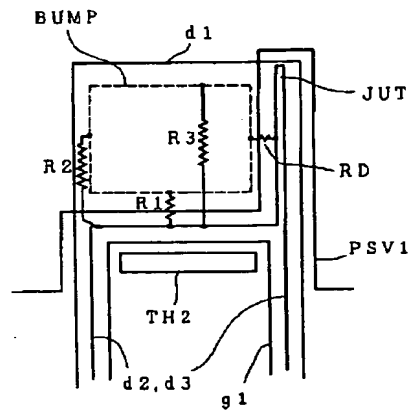
【図10】

図10



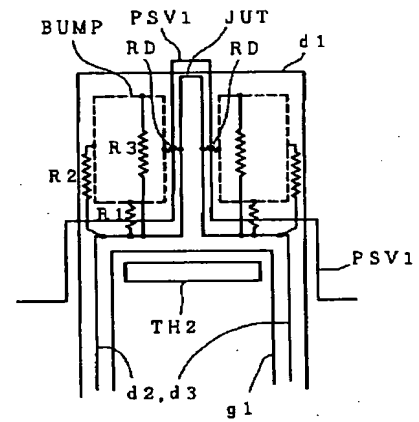
【図11】

図11



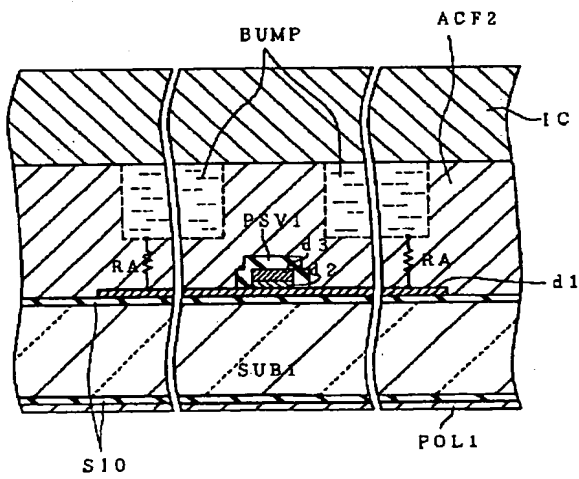
【図12】

図12



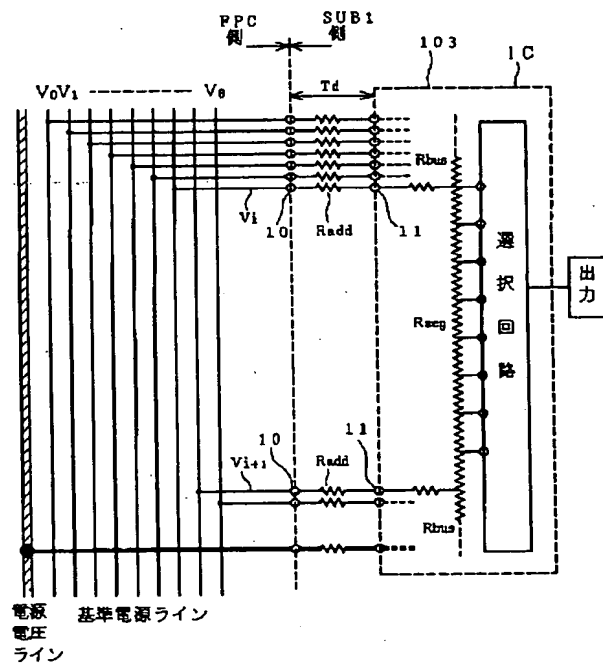
【図13】

図13



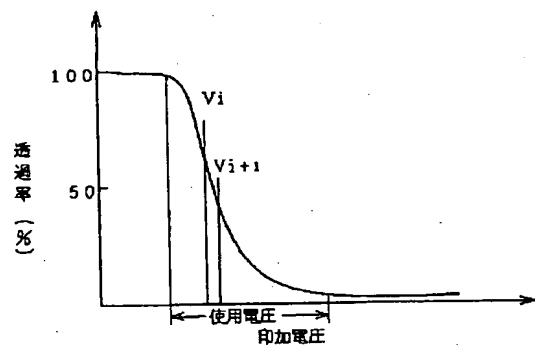
【図14】

図14



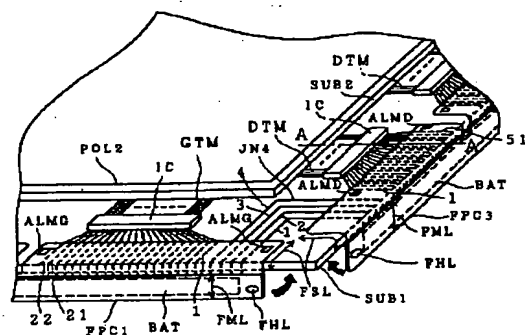
【图 15】

☒ 1 5

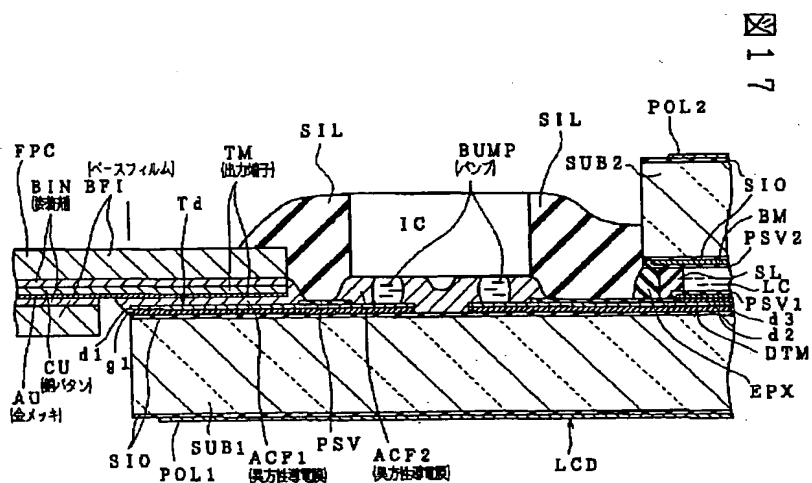


【图 16】

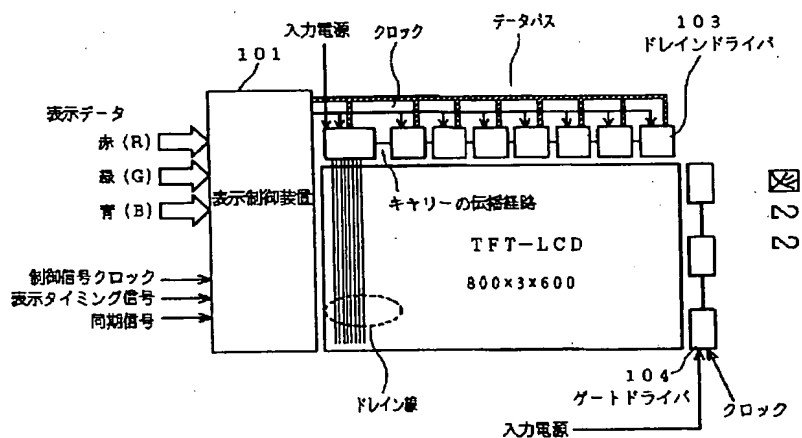
图 16



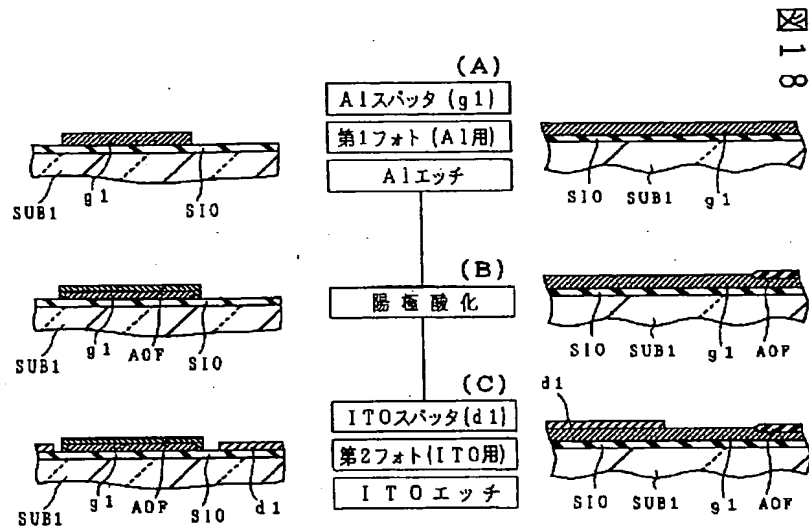
【圖 17】



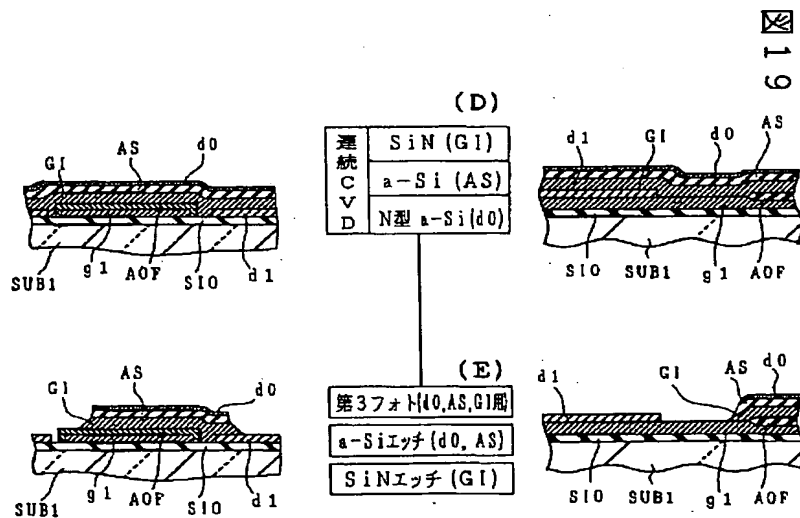
【圖 22】



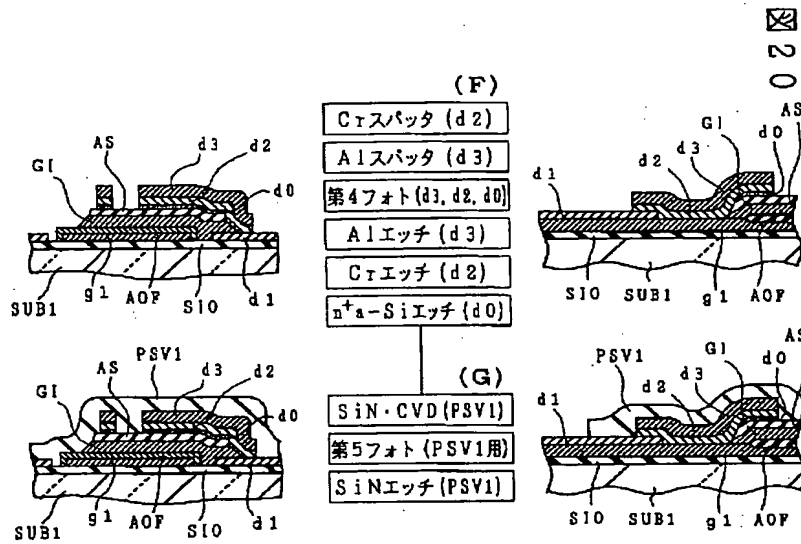
【図18】



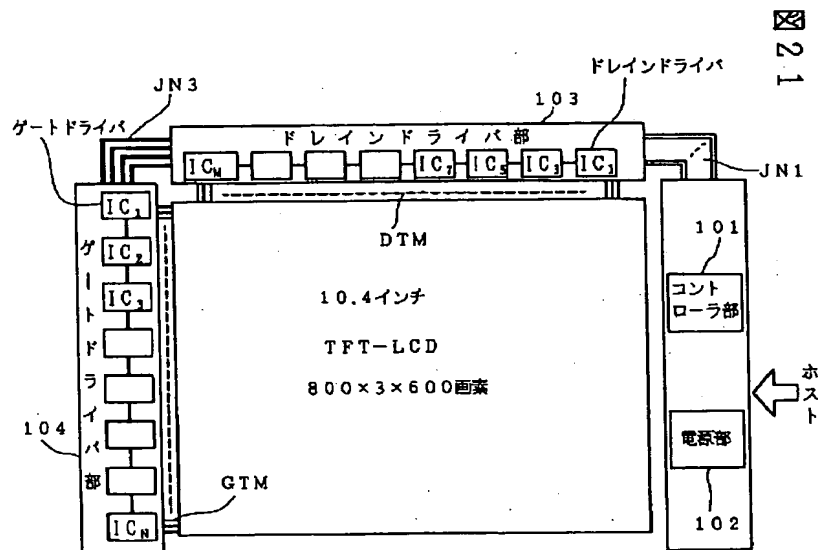
【図19】



【図20】



【図21】



【図23】

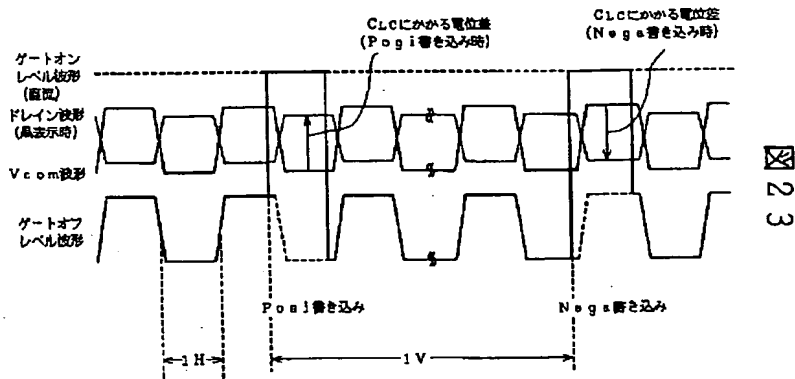
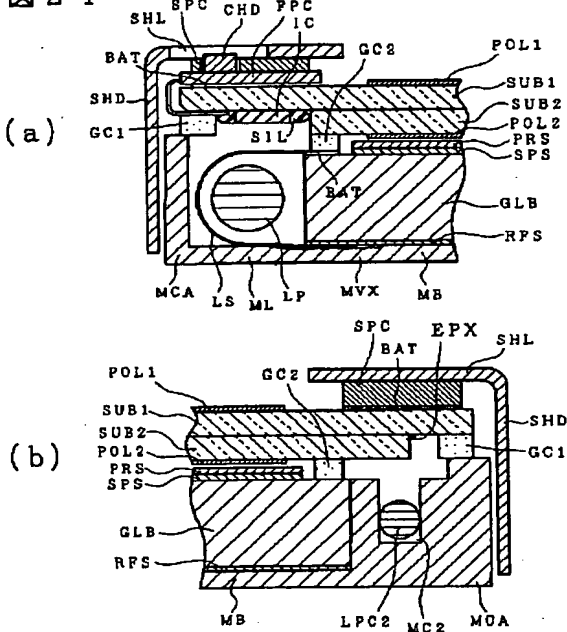


図 23

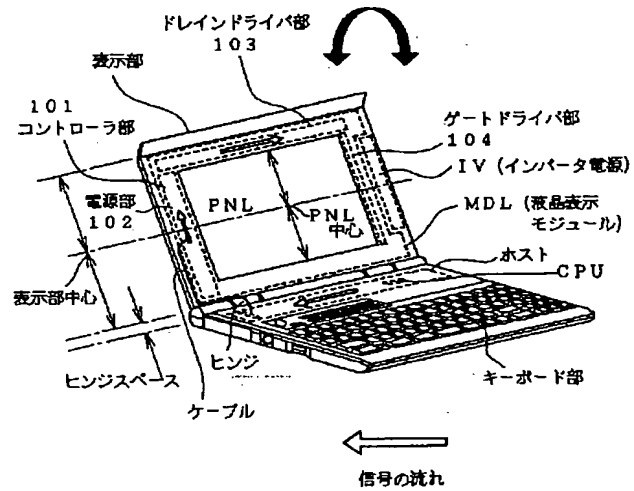
【図24】

図 24



【図25】

図 25



フロントページの続き

(72)発明者 上田 史朗
 千葉県茂原市早野3300番地 株式会社日立
 製作所電子デバイス事業部内